



## 【特許請求の範囲】

【請求項1】 入力画像信号の水平同期信号を遅延させて出力する遅延量可変の遅延回路、

遅延回路から出力される水平同期信号に同期したサンプリングクロックを発生するクロック発生回路、

入力画像信号をクロック発生回路から発生したサンプリングクロックに基づいてサンプリングするA/D変換器、

A/D変換器から出力される画像データを所定のしきい値と比較することにより、各水平ラインの水平映像開始位置を検出する水平映像開始位置検出手段、

水平映像開始位置の画像データおよびその1画素前の画像データに基づいて、クロック位相エラー情報を生成するクロック位相エラー情報生成手段、

位相調整時において、遅延回路の遅延量を制御することにより、サンプリングクロックの位相を、ある時間間隔毎に一定量だけ強制的にシフトさせる位相シフト手段、サンプリングクロックの位相を強制的にシフトする前の定常時において得られたクロック位相エラー情報と、サンプリングクロックの位相をシフトした状態において得られたクロック位相エラー情報とを比較する比較手段、ならびに比較手段の比較結果に基づいて、定常時における遅延回路の遅延量を制御することにより、定常時のサンプリングクロックの位相を調整する位相調整手段、を備えている画素対応表示装置におけるクロック位相自動調整装置。

【請求項2】 クロック位相エラー情報は、水平映像開始位置の画像データをビット反転処理した値と、水平映像開始位置の画像データの1画素前の画像データとの加算平均値または、複数ラインから得られた上記加算平均値の1ライン当たりの平均値である請求項1に記載の画素対応表示装置におけるクロック位相自動調整装置。

【請求項3】 クロック位相エラー情報は、水平映像開始位置の画像データをビット反転処理した値と、水平映像開始位置の画像データの1画素前の画像データとの加算値または、複数ラインから得られた上記加算値の1ライン当たりの平均値である請求項1に記載の画素対応表示装置におけるクロック位相自動調整装置。

【請求項4】 位相シフト手段は、サンプリングクロックの位相をシフトする方向を、位相調整時毎に切り換える請求項1、2および3のいずれかに記載の画素対応表示装置におけるクロック位相自動調整装置。

【請求項5】 位相シフト手段は、位相調整時において、サンプリングクロックの位相を、早める方向と遅らす方向の両方の方向に、一定量ずつ強制的にシフトさせるものである請求項1、2および3のいずれかに記載の画素対応表示装置におけるクロック位相自動調整装置。

【請求項6】 位相調整手段は、位相シフト手段によってサンプリングクロックの位相をシフトした状態において得られたクロック位相エラー情報が、サンプリングク

ロックの位相を強制的にシフトする前の定常時において得られたクロック位相エラー情報より小さい場合には、位相シフト手段によってシフトされた方向に、定常時のサンプリングクロックの位相を変化させるように、定常時における遅延回路の遅延量を所定量だけ変更させるものである請求項4および5のいずれかに記載の画素対応表示装置におけるクロック位相自動調整装置。

【請求項7】 位相調整手段は、位相シフト手段によってサンプリングクロックの位相をシフトした状態において得られたクロック位相エラー情報が、サンプリングクロックの位相を強制的にシフトする前の定常時において得られたクロック位相エラー情報より小さい場合には、位相シフト手段によってシフトされた方向に、定常時のサンプリングクロックの位相を変化させるように、定常時における遅延回路の遅延量を遅延回路の最小単位だけ変更させるものである請求項4および5のいずれかに記載の画素対応表示装置におけるクロック位相自動調整装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、画像を画素単位で表示する画素対応表示装置におけるクロック位相自動調整装置に関し、入力画像信号をアナログ/デジタル変換する際のクロック信号と画像信号の画素との位相関係を常に安定状態に保つことができる画素対応表示装置におけるクロック位相自動調整装置に関する。

## 【0002】

【従来の技術】 画素対応表示装置の一種である液晶表示装置では、1水平走査期間において、画像信号が有する画素データの1ドットと、液晶パネルの1画素との同期がとられて画像が表示される。また、画像信号が1垂直走査期間内に有する任意数のラインデータにおける1本の水平走査線（以下、ラインという）のラインデータが、液晶パネルにおける垂直方向の1ラインに対応して表示される。このラインデータは、画素データの集合体である。

【0003】 コンピュータが内部で扱う画像データはデジタル信号であり、画像信号も画素単位のデジタル信号として発生される。しかしながら、従来から表示器として用いられているCRTディスプレイはアナログデバイスであるため、コンピュータ内で生成された画像データをコンピュータ内でアナログ画像信号に変換してCRTディスプレイに出力するようにしている。

【0004】 一方、液晶ディスプレイはデジタルデバイスであるので、コンピュータからアナログ信号として送られてきた画像信号を、A/D変換する必要がある。このため、A/D変換を行うためのクロックをディスプレイ側で再生する必要がある。従来においては、水平同期信号だけに基づいてA/D変換を行うためのクロックを再生していた。しかしながら、水平同期信号とアナログ

画像信号の画素との位相関係が常に正しい状態で保たれている保証はないため、クロック位相を調整する必要がある。

【0005】クロック位相を調整する方法として、水平同期信号を遅延回路を介してクロックを生成するための PLL 回路に送るようにし、遅延回路の遅延量を調整することによって、クロック位相を調整する装置が既に開発されている。

【0006】しかしながら、このような方法だけでは入力される画像信号の水平周波数が切り替わることによって、水平同期信号と入力画像信号の画素との位相関係が変化した場合や、同じ入力信号が続く場合でも、温度ドリフトおよび電源電圧変動により、最適なクロック位相から徐々に外れ、やがて再調整を行う必要が生じる。

【0007】

【発明が解決しようとする課題】この発明は、定期的または不定期的に、サンプリングクロックの位相のドリフト方向を検出して、安定なクロック位相方向へ再調整を行うことができる画素対応表示装置におけるクロック位相自動調整装置を提供することを目的とする。

【0008】

【課題を解決するための手段】この発明による画素対応表示装置におけるクロック位相自動調整装置は、入力画像信号の水平同期信号を遅延させて出力する遅延量可変の遅延回路、遅延回路から出力される水平同期信号に同期したサンプリングクロックを発生するクロック発生回路、入力画像信号をクロック発生回路から発生したサンプリングクロックに基づいてサンプリングする A/D 変換器、A/D 変換器から出力される画像データを所定のしきい値と比較することにより、各水平ラインの水平映像開始位置を検出する水平映像開始位置検出手段、水平映像開始位置の画像データおよびその 1 画素前の画像データに基づいて、クロック位相エラー情報を生成するクロック位相エラー情報生成手段、位相調整時において、遅延回路の遅延量を制御することにより、サンプリングクロックの位相を一定量だけ強制的にシフトさせる位相シフト手段、サンプリングクロックの位相を強制的にシフトする前の定常時において得られたクロック位相エラー情報と、サンプリングクロックの位相をシフトした状態において得られたクロック位相エラー情報とを比較する比較手段、ならびに比較手段の比較結果に基づいて、定常時における遅延回路の遅延量を制御することにより、定常時のサンプリングクロックの位相を調整する位相調整手段を備えていることを特徴とする。

【0009】クロック位相エラー情報としては、たとえば、水平映像開始位置の画像データをビット反転処理した値と、水平映像開始位置の画像データの 1 画素前の画像データとの加算平均値または、複数ラインから得られた上記加算平均値の 1 ライン当たりの平均値が用いられる。

【0010】クロック位相エラー情報としては、たとえば、水平映像開始位置の画像データをビット反転処理した値と、水平映像開始位置の画像データの 1 画素前の画像データとの加算値または、複数ラインから得られた上記加算値の 1 ライン当たりの平均値が用いられる。

【0011】位相シフト手段は、サンプリングクロックの位相をシフトする方向を、位相調整時毎に切り換える。あるいは、位相シフト手段は、位相調整時において、サンプリングクロックの位相を、早める方向と遅らす方向の両方の方向に、一定量ずつ強制的にシフトさせる。

【0012】位相調整手段としては、たとえば、位相シフト手段によってサンプリングクロックの位相をシフトした状態において得られたクロック位相エラー情報が、サンプリングクロックの位相を強制的にシフトする前の定常時において得られたクロック位相エラー情報より小さい場合には、位相シフト手段によってシフトされた方向に、定常時のサンプリングクロックの位相を変化させるように、定常時における遅延回路の遅延量を所定量だけ変更させるものが用いられる。

【0013】位相調整手段としては、たとえば、位相シフト手段によってサンプリングクロックの位相をシフトした状態において得られたクロック位相エラー情報が、サンプリングクロックの位相を強制的にシフトする前の定常時において得られたクロック位相エラー情報より小さい場合には、位相シフト手段によってシフトされた方向に、定常時のサンプリングクロックの位相を変化させるように、定常時における遅延回路の遅延量を遅延回路の最小単位だけ変更させるものが用いられる。

【0014】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。

【0015】図 1 は、液晶表示装置に設けられたクロック位相自動調整回路の構成を示している。

【0016】コンピュータから液晶表示装置に入力された画像信号 R、G、B それぞれは、レベル調整部 1 a、1 b、1 c によって、A/D コンバータ 2 a、2 b、2 c の入力条件に適合するようにレベル調整される。レベル調整された R、G、B 信号は、A/D コンバータ 2 a、2 b、2 c によってデジタルの R、G、B データに変換される。

【0017】A/D コンバータ 2 a、2 b、2 c に対するサンプリングクロック CLK は、PLL 回路 11 によって生成される。PLL 回路 11 には、水平同期信号遅延回路 10 を介して入力画像信号に対する水平同期信号が送られている。PLL 回路 11 は、水平同期信号遅延回路 10 から出力される水平同期信号を基準にサンプリングクロック CLK を発生させる。サンプリングクロック CLK の位相は、水平同期信号遅延回路 10 に設定される遅延量を変化させることによって調整される。

【0018】A/Dコンバータ2a、2b、2cによって得られたデジタルのR、G、Bデータは、水平映像開始位置検出回路とデータ取込回路とを備えた水平映像開始位置検出&データ取込回路3に送られる。水平映像開始位置検出&データ取込回路3は、R、G、Bデータそれぞれについて、水平映像開始位置を検出し、その開始位置のデジタル画像データおよび1画素前のデジタル画像データを、R、G、Bデータそれぞれについて取り込み保持する。

【0019】水平映像開始位置の検出回路は、水平ライン毎に、A/D変換された画像データをある一定のレベル値と比較して、画像データが所定のしきい値（映像スライスレベル）より低いレベルから、しきい値より高いレベルに変化したときに、サンプリングクロック1個分のデータホールド用パルスを出力する。ただし、画像データが、しきい値より低いレベルから、しきい値より高いレベルに変化することによってデータホールド用パルスが出力された後において、画像データがしきい値より高いレベルを維持している場合には、データホールド用パルスは出力されない。データホールド用パルスが出力された後において、画像データがしきい値より低くなり、その後にしきい値を再度越えた場合には、データホールド用パルスが再度出力される。

【0020】しきい値として大きな値を設定すると輝度の低いデータは読み取れなくなり、しきい値として小さな値を設定するとノイズをデータとして読み取る可能性があるので、しきい値としてはノイズを拾わない程度の低い値が設定される。

【0021】データ取込回路は、水平映像開始位置検出回路からデータホールド用パルスが出力されたときの入力画像データを水平映像開始位置のデジタル画像データとして保持するとともに、その1画素前のデジタル画像データを保持する。データ取込回路によって保持された水平映像開始位置のデジタル画像データは、位相エラー情報変換&平均化回路4で、クロック位相エラー情報に変換される。

【0022】図2を用いて、位相エラー情報変換&平均化回路4の動作について説明する。図2(a)は、画像信号の水平開始位置付近のクロックの位相と、サンプリングされる画像データとの関係を示している。

【0023】図2(a)において、曲線Sは入力画像信号波形を、CLKはサンプリングされる画像信号Sに対して理想的な位相関係を有するクロックを、CLK-は画像信号Sに対して理想的な位相関係を有するクロックCLKに対して位相が早いクロックを、CLK+は画像信号Sに対して理想的な位相関係を有するクロックCLKに対して位相が遅いクロックをそれぞれ示している。

【0024】また、画像信号Sに対して理想的な位相関係を有するクロックCLKによってサンプリングされた場合には、水平開始位置の画像データがnとなり、その

1画素前のデータがmとなる。

【0025】画像信号Sに対して理想的な位相関係を有するクロックCLKに対して位相が早いクロックCLK-によってサンプリングされた場合には、水平開始位置の画像データがn-となり、その1画素前のデータがm-となる。

【0026】画像信号Sに対して理想的な位相関係を有するクロックCLKに対して位相が遅いクロックCLK+によってサンプリングされた場合には、水平開始位置の画像データがn+となり、その1画素前のデータがm+となる。

【0027】mとm-とm+との大小関係は、 $m- \leq m \leq m+$ となる。nとn-とn+との大小関係は、 $n- \leq n \leq n+$ となる。

【0028】図2(b)は、各クロックCLK-、CLK、CLK+に応じた水平映像開始位置のデジタルデータn-、n、n+をビット反転処理（各ビットを反転させる処理）した後のクロック位相とサンプリングデータの関係を示している。

【0029】図2(b)において、n'-はn-をビット反転処理した値を、n'はnをビット反転処理した値を、n'+はn+をビット反転処理した値を、それぞれ示している。n'とn'-とn'+との大小関係は、 $n' - \geq n' \geq n' +$ となる。

【0030】したがって、クロックCLK-に対応したデータm-とビット反転後のn'-との加算平均値

$\{ \{ (m-) + (n' -) \} / 2 \}$ 、クロックCLKに対応したデータmとビット反転後のn'との加算平均値  $\{ \{ (m) + (n') \} / 2 \}$  およびクロックCLK+に対応したデータm+とビット反転後のn'+との加算平均値  $\{ \{ (m+) + (n' +) \} / 2 \}$  と、クロック位相の関係は、図2(c)のようになる。

【0031】水平映像開始位置検出&データ取込回路3によって保持された水平映像開始位置のデジタル画像データのビット反転後のデータをn'、その1画素前のデジタル画像データをmとし、それらの加算平均値

$\{ \{ (m) + (n') \} / 2 \}$  を、クロック位相エラー情報であると定義すると、図2(c)から分かるように、クロックが画像信号Sに対して理想的な位相である場合に位相エラー情報が最もレベルが小さくなり、クロックの位相が理想的な位相から前後にずれるほどクロック位相エラー情報が大きくなる。

【0032】さらに、このクロック位相エラー情報を複数ライン期間で加算平均化し、さらに複数フィールド期間で加算平均化すれば、さらに安定なクロック位相エラー情報が得られる。

【0033】なお、水平映像開始位置検出&データ取込回路3によって保持された水平映像開始位置のデジタル画像データのビット反転後のデータをn'、その1画素前のデジタル画像データをmとし、それらの加算値

{(m) + (n') } を、クロック位相エラー情報としてもよい。

【0034】位相エラー情報変換&平均化回路4は、各ライン毎にクロック位相エラー情報を算出し、複数ライン期間で加算平均化し、さらに複数フィールド期間で加算平均化することによって、最終的なクロック位相エラー情報を算出する。

【0035】位相エラー比較回路5では、後述するクロック位相シフト回路8によってクロックCLKの位相を強制的にシフトした時（位相調整時）に得られるクロック位相エラー情報と、定常時において得られているクロック位相エラー情報とを比較する。そして、位相調整時に得られたクロック位相エラー情報が定常時に得られているクロック位相エラー情報より小さい場合には、定常時クロック位相調整回路7に対して、制御指令を出力する。

【0036】つまり、位相調整時に得られたクロック位相エラー情報が定常時に得られているクロック位相エラー情報より小さい場合において、クロック位相シフト回路8より位相シフト方向が位相を早める方向であれば、定常時のクロックCLKの位相が水平同期信号遅延回路10の遅延最小単位だけ早くなるように、定常時クロック位相調整回路7に対して、制御指令を出力する。

【0037】位相調整時に得られたクロック位相エラー情報が定常時に得られているクロック位相エラー情報より小さい場合において、クロック位相シフト回路8より位相シフト方向が位相を遅らせる方向であれば、定常時のクロックCLKの位相が水平同期信号遅延回路10の遅延最小単位だけ遅くなるように、定常時クロック位相調整回路7に対して、制御指令を出力する。

【0038】定常時クロック位相調整回路7は、定常時のクロックCLKの位相を規定するための水平同期信号遅延回路10に対する遅延制御量を保持している。定常時クロック位相調整回路7は、位相エラー比較回路5から制御指令が送られてきた場合には、保持している水平同期信号遅延回路10に対する遅延制御量を制御指令に応じて変更する。

【0039】クロック位相シフトタイミング発生回路6は、位相調整を行うタイミング信号を発生する。つまり、クロック位相シフトタイミング発生回路6は、ある時間間隔ごとにクロック位相を一定期間シフトするタイミングおよびそのシフト方向を示すタイミング信号を発生させる。タイミング信号を発生させる時間間隔は、数フィールド毎、数分毎、あるいは数時間毎でも良く、クロック位相のドリフト変動量に応じて決定される。

【0040】また、液晶表示装置の電源立ち上がり時の不安定期間には、タイミング信号を発生させる時間間隔を短く設定し、十分な安定時間経過後には、タイミング信号を発生させる時間間隔を長く設定するようにしてもよい。また、シフト方向（クロック位相が早くなる方向

または遅くなる方向）は、シフトタイミング毎に切り換えられる。

【0041】クロック位相シフト回路8では、クロック位相シフトタイミング発生回路6から出力されるタイミング信号に基づいて、一定期間だけクロック位相を、あるシフト方向（早める方向または遅らせる方向）に、あるシフト量だけシフトさせるための遅延量制御信号を生成して出力する。

【0042】遅延制御信号切り替え回路9は、定常時にはそのスイッチがa側に接続されており、定常時クロック位相調整回路7が保持している遅延制御量に応じた遅延量制御信号を出力している。そして、位相調整時（位相シフト時）には、遅延制御信号切り替え回路9は、クロック位相シフトタイミング発生回路6から出力されるタイミング信号に基づいて、そのスイッチがb側に切り換えられ、クロック位相シフト回路8からの遅延量制御信号を出力する。

【0043】水平同期信号遅延回路10では、入力画像信号に対する水平同期信号を、遅延制御信号切り替え回路9を介して入力されている遅延制御信号に応じた遅延量だけ遅延させる。PLL回路11では、水平同期信号遅延回路10によって遅延された水平同期信号を基準にサンプリングクロック信号を発生させる。

【0044】上記実施の形態の特徴は、次の点にある。

【0045】① 水平ラインごとの映像開始データの立ち上がりエッジのレベル変化のみを用いて、クロック位相が早くなる方向あるいは遅れる方向のいずれにドリフトした場合にもクロック位相エラーを検出できること

【0046】② ある一定時間間隔ごとに、クロック位相をある一定量だけ早める方向あるいは遅らす方向に交互にシフトして、クロック位相エラーを検出し、クロック位相エラーが検出された場合にクロック位相を再調整すること

【0047】③ クロック位相の再調整の単位は、シフト量に関係なく遅延回路の最小単位とすることで、クロック位相を安定に収束させる点にある。

【0048】上記実施の形態では、ある一定期間ごとに、位相を早める方向および位相を遅らせる方のKのうちいずれか一方の位相シフトを行い、位相をシフトした時（位相調整時）に得られるクロック位相エラー情報と、定常時において得られている位相エラー情報とを比較することによって、クロック位相を再調整しているが、ある一定期間ごとに位相を早める方向の位相シフトと、位相を遅らせる方向の位相シフトとの両方を行い、位相を早める方向の位相シフトによって得られるクロック位相エラー情報と、位相を遅らせる方向の位相シフトによって得られるクロック位相エラー情報と、定常時において得られているクロック位相エラー情報とを比較することによって、クロック位相を再調整するようにしてもよい。

【0049】

【発明の効果】この発明によれば、定期的または不定期的に、サンプリングクロックの位相のドリフト方向を検出して、安定なクロック位相方向へ再調整を行うことができる。したがって、画像信号の画素データと、サンプリングクロックが常に安定なクロック位相関係を保つことができるようになるので、電源電圧や温度ドリフトの影響を受けることなく、安定な映像を画素対応表示パネルに表示させることが可能となる。

【図面の簡単な説明】

【図1】液晶表示装置に設けられたクロック位相自動調整回路の構成を示すブロック図である。

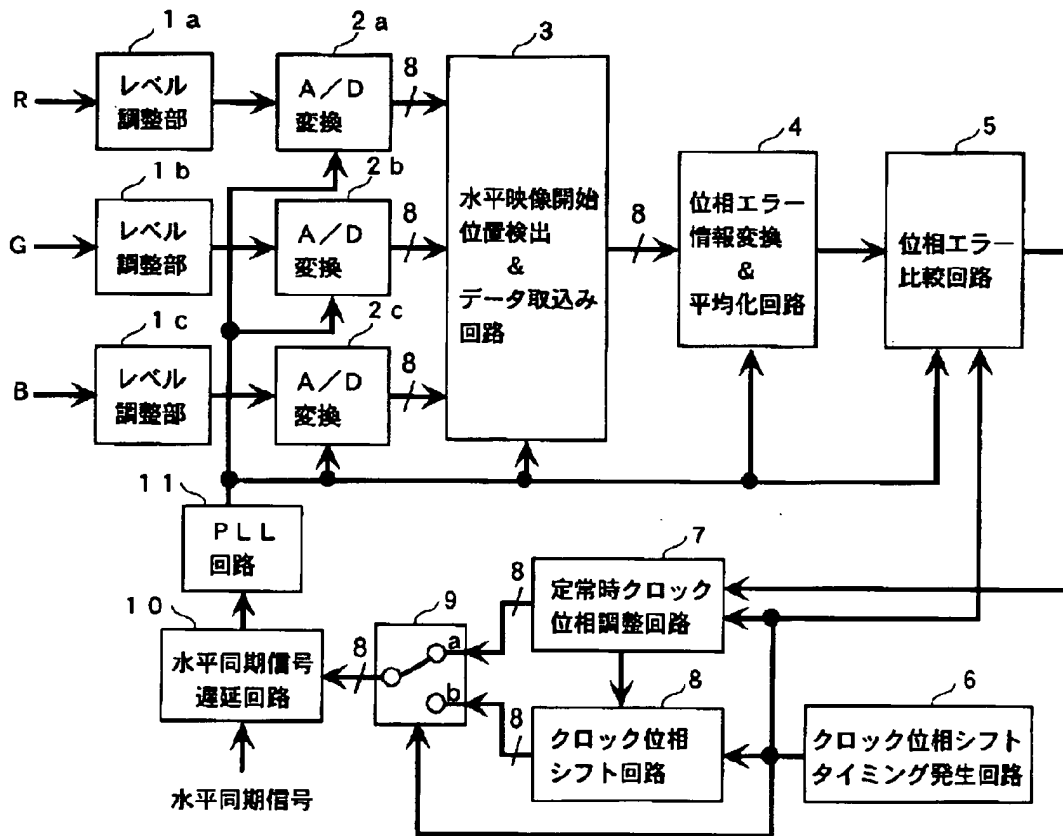
【図2】クロック位相エラー情報を検出する回路を説明\*

\* するための図である。

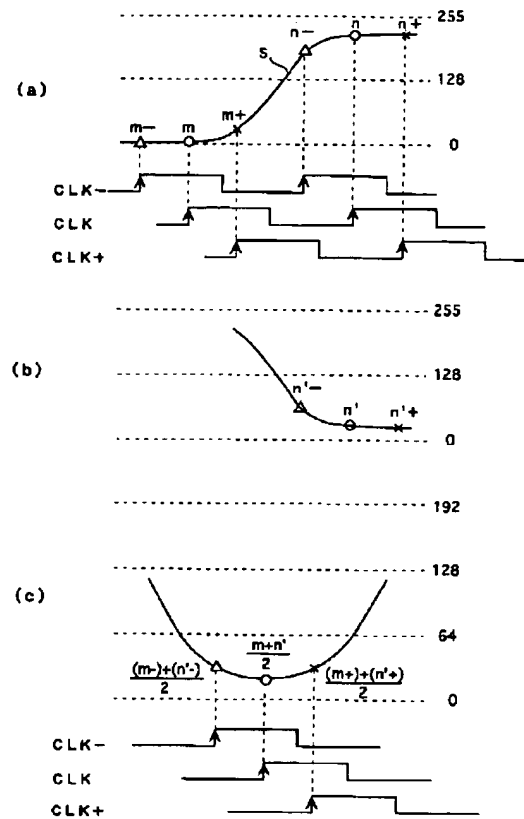
【符号の説明】

- 1 a、1 b、1 c レベル調整部
- 2 a、2 b、2 c A/D変換 (A/Dコンバータ)
- 3 水平映像開始位置検出&データ取込回路
- 4 位相エラー情報変換&平均化回路
- 5 位相エラー比較回路
- 6 クロック位相シフトタイミング発生回路
- 7 定常時クロック位相調整回路
- 8 クロック位相シフト回路
- 9 遅延制御信号切り替え回路
- 10 水平同期信号遅延回路
- 11 PLL回路

【図1】



【図2】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

H 0 4 N 5/14

識別記号

F I

H 0 4 N 5/14

ターマコード<sup>\*</sup> (参考)

Z

F ターム(参考) 2H093 NC21 NC24 NC49 NC59 NC63

ND02 ND34 ND60

5C006 AA01 AA11 AA22 AF42 AF44

AF51 AF52 AF53 AF61 AF67

AF72 AF81 BB11 BF07 BF11

BF14 BF28 BF38 FA16 FA19

5C020 AA01 AA22 AA35 CA15

5C021 PA18 PA26 PA42 PA54 PA58

PA62 PA85 RA07 SA02 SA08

SA21 XC02 YC01

5C080 AA10 BB05 CC03 DD09 DD20

EE17 JJ02 JJ04 JJ05